Univerzitet u Beogradu – Elektrotehnički fakultet  
Katedra za elektroniku  
Odsek za elektroniku i digitalne sisteme

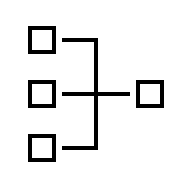
Projektovanje VLSI sistema (19E043VLSI)

PRVA FAZA PROJEKTA – MALI IZVEŠTAJ

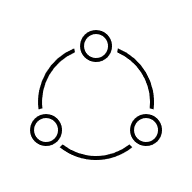
STUDENTI: **Petra Petrović GGGG/BBBB i Jovan Jovanović GGGG/BBBB**

Računanje magnitude gradijenta slike

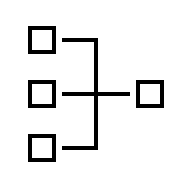
# Mreža za računanje kvadratnog korena



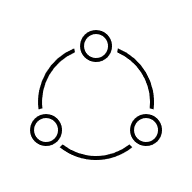
Slika 1 – Blok šema modula za računanje korena iterativnim metodom



Slika 2 – Dijagram mašine stanja modula za računanje korena iterativnim metodom



Slika 3 – Blok šema pajplajnovanog modula za računanje korena



Slika 4 – Dijagram mašine stanja modula za računanje korena sa pajplajnom

Tabela 1 – Poređenje rezultata za realizacije sa sekvencijalnom i pajplajnovanom arhitekturom

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **Arhitektura** | **Resursi** | | | ***fCLK***  **[MHz]** | **Kašnjenje/Latency**  **[ns]** | **Protok/Throughput [MOps]** |
| **LUT** | **FF** | **BRAM** |
| Sekvencijalna |  |  |  |  |  |  |
| Pajplajnovana |  |  |  |  |  |  |

# Implementacija algoritma za određivanje magnitude gradijenta slike

Ovde staviti tražene dijagrame, rezultate i tabelu zauzeća resursa.